



目 录

项目一 简单数字电路认知	(1)
项目二 集成门电路认知	(19)
任务一 TTL 集成门电路认知	(20)
任务二 CMOS 集成门电路认知	(41)
项目三 组合逻辑电路认知	(51)
任务一 逻辑函数及化简方法分析	(52)
任务二 组合逻辑电路分析方法认知	(65)
任务三 常用组合逻辑器件认知	(73)
项目四 时序逻辑电路认知	(97)
任务一 触发器电路认知	(98)
任务二 寄存器电路认知	(120)
任务三 计数器电路认知	(128)
任务四 时序逻辑电路应用电路分析	(143)
项目五 脉冲产生与变换电路的认知	(150)
任务一 555 集成定时器认知	(151)
任务二 555 集成定时器基本应用电路	(154)
项目六 DA、AD 转换电路	(169)
任务一 DA 转换电路认知	(170)
任务二 A/D 转换电路认知	(177)
项目七 存储器和可编程逻辑器件认知	(188)
任务一 存储器认知	(189)
任务二 可编程逻辑器件认知	(199)



项目八 定时报警器电路设计	(211)
任务一 设计脉冲电路	(212)
任务二 设计计数电路	(213)
任务三 设计译码与显示电路	(215)
任务四 设计报警控制电路	(216)
附录 A 74 系列集成芯片型号、名称	(218)
附录 B 常见集成芯片管脚图	(231)



项目一 简单数字电路认知

项目说明

我们正处于新的信息时代,“数字”这两个字正以越来越高的频率出现在各个领域,数字手表、数字电视、数字通信、数字控制……数字化已成为当今电子技术的发展潮流。数字电路是数字电子技术的核心,是计算机和数字通信的硬件基础。本章首先介绍数字电路的一些基本概念,然后讨论数字逻辑中的基本逻辑运算、逻辑函数及其表示方法,最后介绍数字电路中常用的数制与编码。从现在开始,你将跨入数字电子技术这一神奇的世界,去探索它的奥秘,认识它的精彩。



知识点

- 模拟信号和数字信号的定义、区别
- 逻辑代数的定义、计算方法
- 逻辑函数的表示方法
- 多种进制以及不同进制之间的转换方法

任务目标

了解模拟信号和数字信号的定义、区别,熟悉逻辑代数的定义、计算方法,掌握逻辑函数的表示方法,掌握不同数制之间的转换方法,了解常用的码制表示方法。

知识链接

一、数字电路基础

电子电路所处理的电信号可以分为两大类:一类是在时间和数值上都是连续变化的信号,称为模拟信号,例如电流、电压等;另一类是在时间和数值上都是离散的信号,称为数字信号。传送和处理数字信号的电路,称为数字电路。

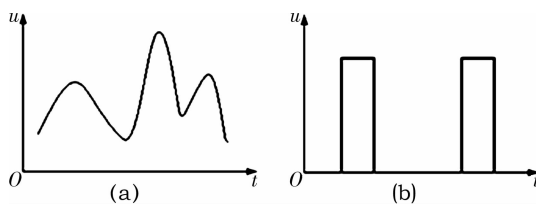


图 1.1 模拟信号和数字信号

(a)模拟信号;(b)数字信号

模拟信号——幅度随时间连续变化。

数字信号——断续变化(离散变化),时间上离散,幅值上整量化,多采用 0、1 二种数



值组成,又称二进制信号。如图 1.1 所示。

(一)数字电路的分类

微电子技术的迅猛发展导致了数字电路的飞速发展。

1. 按电路类型分类

(1)组合逻辑电路。输出只与当时的输入有关。如:编码器、加减法器、比较器、数据选择器。

(2)时序逻辑电路。输出不仅与当时的输入有关,还与电路原来的状态有关。如:触发器、计数器、寄存器。

2. 按集成度分类

SSI → MSI → LSI → VLSI

表 1.1 数字集成电路分类

集成电路分类	集成度	电路规模与范围
小规模集成电路 SSI	1~10 门/片,或 10~100 个元件/片	逻辑单元电路 它包括:逻辑门电路、集成触发器
中规模集成电路 MSI	10~100 门/片,或 100~1000 个元件/片	逻辑部件 它包括:计数器、译码器、编码器、数据选择器、寄存器、算术运算器、比较器、转换电路等
大规模集成电路 LSI	100~1000 门/片,或 1000~10000 个元件/片	数字逻辑系统 它包括:中央控制器、存储器、各种接口电路等
超大规模集成电路 VLSI	大于 1000 门/片,或 大小 10 万个元件/片	高集成度的数字逻辑系统 例如:各种型号的单片机,即在一块硅片上集成一个完整的微型计算机

3. 按半导体的导电类型分类

(1) 双极型电路。

(2) 单极型电路。

(二)数字电路的优点

(1)易集成化。两个状态“0”和“1”,对元件精度要求低。

(2)抗干扰能力强,可靠性高。信号易辨别不易受噪声干扰。

(3)便于长期存贮。软盘、硬盘、光盘。

(4)通用性强,成本低,系列多。(国际标准)TTL 系列数字电路、门阵列、可编程逻辑



辑器件。

(5)保密性好。容易进行加密处理。

(三)脉冲波形的主要参数

在数字电路中,加工和处理的都是脉冲波形,而应用最多的是矩形脉冲。

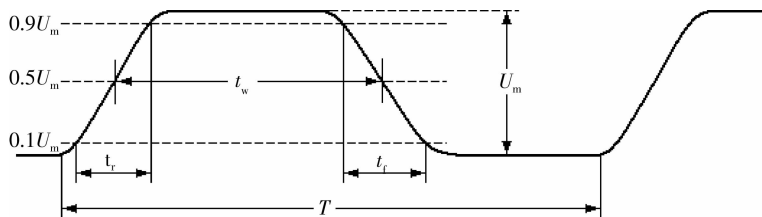


图 1.2 脉冲波形的参数

(1)脉冲幅度。脉冲电压波形变化的最大值,单位为伏(V)。

(2)脉冲上升时间。脉冲波形从 $0.1U_m$ 上升到 $0.9U_m$ 所需的时间。

(3)脉冲下降时间。脉冲波形从 $0.9U_m$ 下降到 $0.1U_m$ 所需的时间。脉冲上升时间 t_r 和下降时间 t_f 越短,越接近于理想的矩形脉冲。单位为秒(s)、毫秒(ms)、微秒(us)、纳秒(ns)。

(4)脉冲宽度。脉冲上升沿 $0.5U_m$ 到下降沿 $0.5U_m$ 所需的时间,单位和 t_r 、 t_f 相同。

(5)脉冲周期 T 。在周期性脉冲中,相邻两个脉冲波形重复出现所需的时间,单位和 t_r 、 t_f 相同。

(6)脉冲频率 f 。每秒时间内,脉冲出现的次数。单位为赫兹(Hz)、千赫兹(kHz)、兆赫兹(MHz), $f=1/T$ 。

(7)占空比 q :脉冲宽度与脉冲重复周期 T 的比值。 $q=t_w/T$ 。它是描述脉冲波形疏密的参数。

二、数字逻辑电路认知

(一)逻辑代数的基本运算

1. 基本概念

在数字电路中,输入信号是“条件”,输出信号是“结果”,因此输入、输出之间存在一定的因果关系,称其为逻辑关系。它可以用逻辑表达式、图形和真值表来描述。

逻辑代数是描述客观事物逻辑关系的数学方法,是进行逻辑分析与综合的数学工具。因为它是英国数学家乔治·布尔(George Boole)于1847年提出的,所以又称为布尔代数(Boolean algebra)。



逻辑代数中的逻辑变量用字母 A, B, C, \dots, X, Y, Z 等来表示; 变量取值只有 0 和 1, 而这里的 0 和 1 并不表示具体的数值大小, 而是表示两种相互对立的逻辑状态。例如, 电灯的亮和灭、电动机的旋转与停止, 把这种描述相互对立的逻辑关系且仅有两个取值的变量称为逻辑变量。

2. 三种基本运算

1) 与运算

只有当决定事物结果的所有条件全部具备时, 结果才会发生, 这种逻辑关系称为与逻辑关系。与逻辑模型电路如图 1.3 所示, A, B 是两个串联开关, Y 是灯, 用开关控制灯亮和灭的关系如表 1.2 所示。

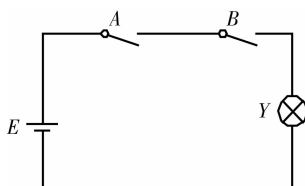


图 1.3 与逻辑电路图

如果用二值量中的 1 来表示灯亮和开关闭合, 用 0 表示灯灭和开关断开, 则可得到如表 1.3 所示的与逻辑真值表。

表 1.2 与逻辑关系表

A	B	Y
断	断	灭
断	通	灭
通	断	灭
通	通	亮

表 1.3 与逻辑真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1



输入部分有 $N=2^n$ 项组合。其中, n 是输入变量的个数。

与运算也称“逻辑乘”。与运算的逻辑表达式为:

$$Y=A \cdot B \text{ 或 } Y=AB \tag{1-1}$$

式(1-1)中,“ \cdot ”号可省略

与逻辑的运算规律为:输入有0得0,全1得1。

与逻辑的逻辑符号如图 1.4 所示。

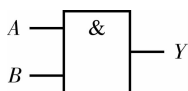


图 1.4 与逻辑符号图

与逻辑的波形图如图 1.5 所示。该图直观地描述了任意时刻输入与输出之间的对应关系及变化的情况。

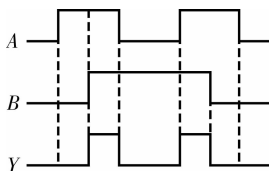


图 1.5 与逻辑波形图

2)或运算

当决定事物结果的几个条件中,只要有一个或一个以上条件得到满足,结果就会发生,这种逻辑关系称为或逻辑。或逻辑模型电路如图 1.6 所示。

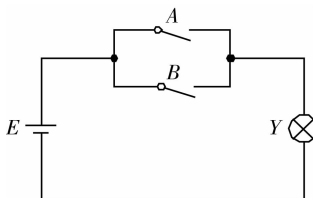


图 1.6 或逻辑电路图



关系如表 1.4 所示,真值表如表 1.5 所示。

表 1.4 或逻辑关系表

A	B	Y
断	断	灭
断	通	亮
通	断	亮
通	通	亮

表 1.5 或逻辑真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

或运算也称“逻辑加”。或运算的逻辑表达式为：

$$Y = A + B \quad (1-2)$$

或逻辑运算的规律为:有 1 得 1,全 0 得 0。或逻辑的逻辑符号如图 1.7 所示。

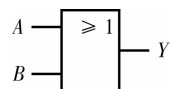


图 1.7 或逻辑符号

3) 非运算

在事件中,结果总是和条件呈相反状态,这种逻辑关系称为非逻辑。非逻辑的模型电路如图 1.8 所示。

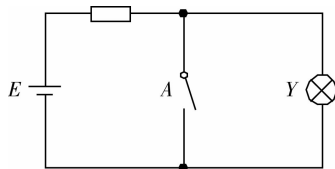


图 1.8 非逻辑电路图



关系如表 1.6 所示,真值表如表 1.7 所示。

表 1.6 非逻辑的关系表

A	Y
断	亮
通	灭

表 1.7 非逻辑的真值表

A	Y
0	1
1	0

非运算也称“反运算”。非运算的逻辑表达式为:

$$Y = \bar{A} \quad (1-3)$$

运算的规律为:0 变 1,1 变 0,即“始终相反”。

逻辑符号如图 1.9 所示。

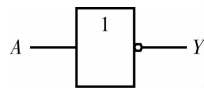


图 1.9 非逻辑符号

3. 常见的几种复合逻辑关系

与、或、非运算是逻辑代数中最基本的三种运算,几种常见的复合逻辑关系的逻辑表达式、逻辑符号及逻辑真值表如表 1.8 所示。

表 1.8 常见复合逻辑关系的逻辑表达式、逻辑符号及逻辑真值表

逻辑名称	与非	或非	与或非	异或	同或
逻辑表达式	$Y = \overline{AB}$	$Y = \overline{A+B}$	$Y = \overline{AB+CD}$	$Y = A \oplus B$	$Y = A \odot B$
逻辑符号					



逻辑名称	与非		或非		与或非		异或		同或				
	A	B	Y	A	B	Y	A	B	Y	A	B	Y	
真值表	0	0	1	0	0	1	0	0	0	0	0	1	
	0	1	1	0	1	0	0	0	1	0	1	0	
	1	0	1	1	0	0	1	1	0
	1	1	0	1	1	0	1	1	1	1	0	1	1
逻辑运算	有0得1		有1得0		与项为1结果为0		不同为1		不同为0				
规律	全1得0		全0得1		其余输出全为1		相同为0		相同为1				

三、门电路的逻辑功能分析

逻辑门电路:用以实现基本和常用逻辑运算的电子电路。简称门电路。

用逻辑 1 和 0 分别来表示电子电路中的高、低电平的逻辑赋值方式,称为正逻辑,目前在数字技术中,大都采用正逻辑工作;若用低、高电平来表示,则称为负逻辑。本书采用正逻辑。

获得高、低电平的基本方法:利用半导体开关元件的导通、截止(即开、关)两种工作状态。

在数字集成电路的发展过程中,同时存在着两种类型器件的发展。一种是由三极管组成的双极型集成电路,例如晶体管-晶体管逻辑电路(简称 TTL 电路)及射极耦合逻辑电路(简称 ECL 电路)。另一种是由 MOS 管组成的单极型集成电路,例如 NMOS 逻辑电路和互补 MOS(简称 COMS)逻辑电路。

四、逻辑函数及其表示方法

1. 逻辑函数

一般函数,当 A, B, C, \dots 的取值确定之后, Y 的值也就唯一确定了。

Y 称为 A, B, C, \dots 的函数。一般表达式可以写为: $Z = F(A, B, C, \dots)$ 。与、或、非是三种基本的逻辑运算,即三种基本的逻辑函数。

2. 逻辑函数的表示方法及转换

逻辑函数可以用逻辑真值表、逻辑表达式、逻辑图、波形图、卡诺图等方法来表示。

例 1.1 已知函数的逻辑表达式 $Y = B + C\bar{A}$ 。要求:列出相应的真值表;已知输入波形,画出输出波形;画出逻辑图。



解:(1) 根据逻辑表达式,画出逻辑图如图 1.10 所示。

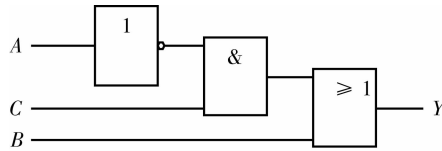


图 1.10 例 1.1 的逻辑图

(2) 将 A, B, C 的所有组合代入逻辑表达式中进行计算,得到真值表如表 1.9 所示。

表 1.9 例 1.1 的真值表

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

(3) 根据真值表,画出例 1.1 的输出波形,如图 1.11 所示。

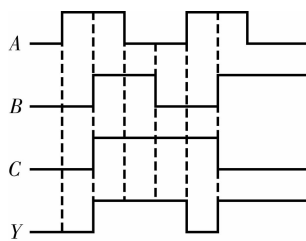


图 1.11 例 1.1 的波形图



例 1.2 已知函数 Y 的逻辑图如图 1.12 所示,写出函数 Y 的逻辑表达式。

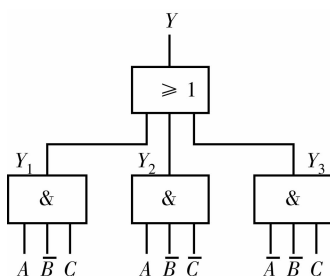


图 1.12 例 1.2 逻辑图

解:据逻辑图逐级写出输出端函数表达式如下:

$$Y_1 = A \bar{B} C$$

$$Y_2 = A \bar{B} \bar{C}$$

$$Y_3 = \bar{A} \bar{B} C$$

最后得到函数 Y 的表达式为: $Y = A \bar{B} C + A \bar{B} \bar{C} + \bar{A} \bar{B} C$

通过真值表也可以直接写出逻辑表达式。方法是将真值表中 Y 为 1 的输入变量相与,取值为 1 用原变量表示,0 用反变量表示,将这些与项相加,就得到逻辑表达式。

五、数制与编码认知

(一)数制

数码:由数字符号构成且表示物理量大小的数字和数字组合。

计数制(简称数制):多位数码中每一位的构成方法,以及从低位到高位进制规则。

1. 十进制

数字符号(系数):0、1、2、3、4、5、6、7、8、9

计数规则:逢十进一

基数:10

权:10 的幂

2. 二进制

数字符号:0、1

计数规则:逢二进一

基数:2

权:2 的幂



3. 八进制

数字符号:0~7

计数规则:逢八进一

基数:8

权:8的幂

4. 十六进制

数字符号:0-9、A、B、C、D、E、F

计数规则:逢十六进一

基数:16

权:16的幂

表 1.10 几种常用数制

类别	十进制 (Decimal)	二进制 (Binary)	八进制 (Octal)	十六进制 (Hexadecimal)
数码	0,1,⋯,9	0,1	0,1,⋯,7	0,1,⋯,9,A~F
基数	10	2	8	16
进位规则	逢 10 进 1	逢 2 进 1	逢 8 进 1	逢 16 进 1
第 i 位的权值	10^i	2^i	8^i	16^i

小结:

① 一般地, N 进制需要用到 N 个数码,基数是 N ;运算规律为逢 N 进一。

② 如果一个 N 进制数 M 包含 n 位整数和 m 位小数,即 $(a_{n-1} a_{n-2} \cdots a_1 a_0 . a_{-1} a_{-2} \cdots a_{-m})_N$ 。

则该数的权展开式为:

$$(M)_N = a_{n-1} \times N^{n-1} + a_{n-2} \times N^{n-2} + \cdots + a_1 \times N^1 + a_0 \times N^0 + a_{-1} \times N^{-1} + a_{-2} \times N^{-2} + \cdots + a_{-m} \times N^{-m} \quad (9-4)$$

③ 由权展开式很容易将一个 N 进制数转换为十进制数。

(二)数制转换

1. 十进制转换成二进制

整数部分的转换:除 2 取余法。先得到的余数为低位,后得到的余数为高位。

例 1.3 求 $(217)_{10} = (\quad)_2$

解: $\because 2 \mid 217 \quad \cdots \cdots \cdots$ 余 1 b0



2 108	·····余 0	b1
2 54	·····余 0	b2
2 27	·····余 1	b3
2 13	·····余 1	b4
2 6	·····余 0	b5
2 3	·····余 1	b6
2 1	·····余 1	b7
0		

2. 二进制与八进制之间的转换

(1) 二进制与八进制之间的转换

三位二进制数对应一位八进制数。

$$(6574)_8 = (110, 101, 111, 100)_2 = (110101111100)_2$$

$$(101011100101)_2 = (101, 011, 100, 101)_2 = (5345)_8$$

(2) 二进制与十六进制之间的转换

四位二进制数对应一位十六进制数。

例如：

$$(9A7E)_{16} = (1001\ 1010\ 0111\ 1110)_2 = (1001101001111110)_2$$

$$(10111010110)_2 = (0101\ 1101\ 0110)_2 = (5D6)_{16}$$

表 1.11 几种计数进制数的对照表

十进制	二进制	八进制	十六进制	十进制	二进制	八进制	十六进制
0	0000	0	0	8	1000	10	8
1	0001	1	1	9	1001	11	9
2	0010	2	2	10	1010	12	A
3	0011	3	3	11	1011	13	B
4	0100	4	4	12	1100	14	C
5	0101	5	5	13	1101	15	D
6	0110	6	6	14	1110	16	E
7	0111	7	7	15	1111	17	F

(三) 编码

二进制代码：具有特定意义的二进制数码。



编码:代码的编制过程。

1. 常用的 BCD 码二—十进制编码(Binary—Coded Decimal)

BCD 码:用一个四位二进制代码表示一位十进制数字的编码方法。

1)8421 码

用四位自然二进制码中的前十个码字来表示十进制数码,因各位的权值依次为 8、4、2、1,故称 8421 BCD 码。选取 0000~1001 表示十进制数 0~9。按自然顺序的二进制数表示所对应的十进制数字。1010~1111 等六种状态是不用的,称为禁用码。

2)5421 码

选取 0000~0100 和 1000~1100 这十种状态。0101~0111 和 1101~1111 等六种状态为禁用码。5421 码是有权码,从高位到低位的权值依次为 5、4、2、1。

3)余三码

选取 0011~1100 这十种状态。与 8421 码相比,对应相同十进制数均要多 3(0011),故称余 3 码。

表 1.12 几种常用的 BCD 码

十进制数	8421 码	5421 码	余 3 码
0	0000	0000	0011
1	0001	0001	0100
2	0010	0010	0101
3	0011	0011	0110
4	0100	0100	0111
5	0101	1000	1000
6	0110	1001	1001
7	0111	1010	1010
8	1000	1011	1011
9	1001	1100	1100

2. 格雷码(循环码)

特点:任意两个相邻的数所对应的代码之间只有一位不同,其余位都相同。

循环码的这个特点,使它在代码的形成与传输时引起的误差比较小。



表 1.13 四位循环码的编码表

十进制数	循环码	十进制数	循环码
0	0000	8	1100
1	0001	9	1101
2	0011	10	1111
3	0010	11	1110
4	0110	12	1010
5	0111	13	1011
6	0101	14	1001
7	0100	15	1000

3. 奇偶校验码(Parity)

具有检错能力,能发现奇数个代码位同时出错的情况。

构成:信息位(data bits 可以是任一种二进制代码)及一位校验位 (parity bit)。

校验位数码的编码方式:

“奇校验(odd—parity)”时,使校验位和信息位所组成的每组代码中含有奇数个 1;

“偶校验(even—parity)”时,使校验位和信息位所组成的每组代码中含有偶数个 1。

表 1.14 奇偶校验码(以 8421BCD 码为例)

十进制数	奇校验码		偶校验码	
	信息位	校验位	信息位	校验位
0	0000	1	0000	0
1	0001	0	0001	1
2	0010	0	0010	1
3	0011	1	0011	0
4	0100	0	0100	1
5	0101	1	0101	0
6	0110	1	0110	0
6	0110	1	0110	0
7	0111	0	0111	1
8	1000	0	1000	1
9	1001	1	1001	0



C. 8421 码

D. 余三码

6. 与模拟电路相比,数字电路主要的优点有_____。

A. 容易设计

B. 通用性强

C. 保密性好

D. 抗干扰能力强

二、判断题(正确打√,错误的打×)

1. 方波的占空比为 0.5。 ()

2. 8421 码 1001 比 0001 大。 ()

3. 数字电路中用“1”和“0”分别表示两种状态,二者无大小之分。 ()

4. 格雷码具有任何相邻码只有一位码元不同的特性。 ()

5. 八进制数 $(18)_8$ 比十进制数 $(18)_{10}$ 小。 ()

6. 当传送十进制数 5 时,在 8421 奇校验码的校验位上值应为 1。 ()

7. 在时间和幅度上都断续变化的信号是数字信号,语音信号不是数字信号。 ()

8. 占空比的公式为: $q=t_w/T$,则周期 T 越大占空比 q 越小。 ()

三、填空题

1. 描述脉冲波形的主要参数有_____、_____、_____、_____、_____、_____、_____。

2. 数字信号的特点是在_____上和_____上都是断续变化的,其高电平和低电平常用_____和_____来表示。

3. 分析数字电路的主要工具是_____,数字电路又称作_____。

4. 在数字电路中,常用的计数制除十进制外,还有_____、_____、_____。

5. 常用的 BCD 码有_____、_____、_____、_____等。常用的可靠性代码有_____、_____等。

6. $(10110010)_2 = (\quad)_8 = (\quad)_{16}$ 7. $(35)_8 = (\quad)_2 = (\quad)_{10} = (\quad)_{16} = (\quad)_{8421\text{ BCD}}$ 8. $(39)_{10} = (\quad)_2 = (\quad)_8 = (\quad)_{16}$ 9. $(5E)_{16} = (\quad)_2 = (\quad)_8 = (\quad)_{10} = (\quad)_{8421\text{ BCD}}$ 10. $(0111\ 1000)_{8421\text{ BCD}} = (\quad)_2 = (\quad)_8 = (\quad)_{10} = (\quad)_{16}$



四、思考题

1. 在数字系统中为什么要采用二进制？
2. 格雷码的特点是什么？为什么说它是可靠性代码？
3. 奇偶校验码的特点是什么？为什么说它是可靠性代码？
4. 怎样用与非门实现与门、或门、非门、或非门和异或门所做的逻辑运算？



项目二

集成门电路认知

项目说明

逻辑门电路是指能完成一些基本逻辑功能的电子电路。简称门电路。它是构成数字电路的基本单元电路。从生产工艺上看,门电路可为分立元件门电路和集成门电路两大类。分立元件门电路目前已很少采用,本项目将主要介绍集成门电路。

数字集成电路按所用半导体器件的不同,可分为两大类:一类是以双极性结型晶体管为基本元件组成的集成电路,称为双极型数字集成电路,属于这一类的有 DTL(Diode Transistor Logic)、TTL(Transistor-Transistor Logic)和 ECL(Emitter Coupled Logic)等电路;另一类是以 MOS 晶体管为基本元件组成的集成电路,称为 MOS 型(或单极型)数字集成电路,属于这一类的有 NMOS(N-Channel Metal-Oxide-Semiconductor)和 CMOS(Complement Metal-Oxide-Semiconductor)等电路。

本项目将主要介绍目前广泛使用的 TTL 和 CMOS 门电路的逻辑功能和电气特性(主要是外部特性)。



任务一 TTL 集成门电路认知

知识点

- TTL 门电路工作原理
- TTL 门电路外部特性与参数
- TTL 门电路使用要求

任务目标

了解 TTL 门电路的工作原理,熟悉其外部特性与参数,掌握基本的 TTL 门电路,能正确使用 TTL 门电路。

知识链接

逻辑门电路是指能够实现各种基本逻辑关系的电路,简称“门电路”或逻辑元件。门电路是构成数字电路的基本单元。

最基本的门电路是与门、或门和非门。利用与、或、非门就可以构成各种逻辑门。在逻辑电路中,逻辑事件的是与否则用电路电平的高、低来表示。若用 1 代表低电平、0 代表高电平,则称为负逻辑。

一、晶体管的开关特性

在数字电路中,经常将半导体二极管、三极管和场效应管作为开关元件使用,它们在电路中的工作状态有时导通,有时截止,并能在信号的控制下进行两种状态的转换。这是一种非线性的大信号运用。一个理想的开关,接通时阻抗应为零,断开时阻抗应为无穷大,而这两个状态之间的转换应该是瞬间完成的。但实际上晶体管在导通时具有一定的内阻,而截止时仍有一定的反向电流,又由于它本身具有惰性(如双极性晶体管中存在着势垒电容和扩散电容,场效应管中存在着极间电容),因此两个状态之间的转换需要时间,转换时间的长短反映了该器件开关速度的快慢。下面讨论半导体二极管、



三极管和 MOS 管的开关特性。

(一) 半导体二极管的开关特性

由于二极管具有单向导电性,所以在数字电路中经常把它当作开关使用。正向运用时,电阻很小,接近短路;反向运用时,电阻很大,接近断路。所以用它作开关是合适的。图 2.1 是硅二极管的伏安特性曲线。

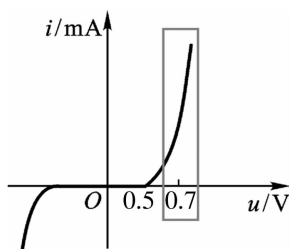


图 2.1 硅二极管伏安特性

1. 导通条件及导通时的特点

由图 2.1 硅二极管伏安特性可知,当外加正向电压 V_1 大于导通电压 V_D 时,管子开始导通。此后,电流 I_D 随着 V_1 增加而急剧增加。在 $V_1 = 0.7\text{V}$ 时,特性已经很陡,也即 I_D 在一定范围内变化, V_1 基本保持在 0.7V 左右。因此在数字电路的分析估算中,常把导通时 $V_1 > 0.7\text{V}$ 看成是硅二极管导通的条件。而且一旦导通之后,就近似地认为管压降保持 0.7V 不变。如同一个具有 0.7V 压降的闭合了的开关,有时可将 0.7V 压降忽略不计。二极管导通时的直流等效电路,如图 2.2 所示。

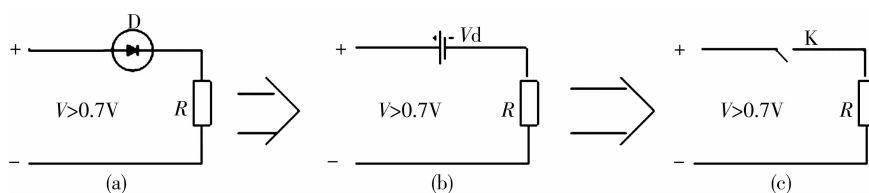


图 2.2 硅二极管导通时的直流等效电路

(a) 电路图; (b) 近似等效电路; (c) 简化等效电路

2. 截止条件及截止时的特点

由图 2.1 可看出,当外加正向电压 $V_1 < V_D$ 时, I_D 已经很小,而且只要 $V_1 < V_D$ 即使在很大范围内变化, I_D 都很小,因此,在数字电路的分析估算中,常把 $V_1 < V_D = 0.5\text{V}$, 看成是硅二极管截止的条件。而且一旦截止之后,就近似地认为 $I_D = 0$,如同断开了的开关,



二极管截止时的直流等效电路,如图 2.3 所示。

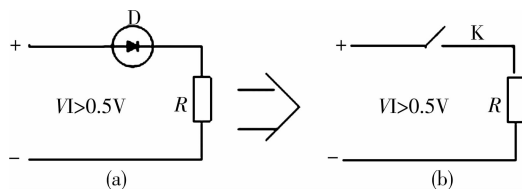


图 2.3 硅二极管截止时的直流等效电路

(a) 电路图; (b) 近似等效电路

3. 开关时间

在数字电路中,二极管开、关的频率很高,有时在百万/秒次以上,故开关时间是一个重要的概念。

(1) 开启时间

二极管由反向截止转换为正向导通所需的时间,一般称为开启时间。因为二极管正向导通时电阻很小,与二极管内 PN 结等效电容并联之后,电容作用不明显,所以转换时间很短,一般可以忽略不计。

(2) 关断时间

二极管由正向导通转换为反向截止所需的时间,一般称为关断时间。因为二极管反向截止时电阻很大,PN 结等效电容作用明显,充放电时间长,一般开关管的关断时间大约是几纳秒。

(二) 半导体三极管的开关特性

半导体三极管能当作开关使用,如图 2.4 共射极电路所示,三极管有三个工作区:截

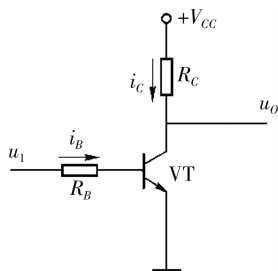


图 2.4 三极管开关电路

止、放大、饱和。当工作在饱和区时,管压降很小,接近于短路;当工作在截止区时,反向电流很小,接近于断路。所以,只要使三极管工作在饱和区和截止区,就可以把它看成开



关的通、断两个状态。二极管是用其阳极和阴极两极作为开关的两端接在电路中,开关的通、断受其两端电路控制,而三极管(以共射电路为例)是用其集-射两极作为开关的两端接在电路里。

1. 饱和导通条件及饱和时的特点

饱和导通条件:

$$I_B \geq I_{BS} = \frac{I_{CS}}{\beta} = \frac{V_{CC}}{\beta R_C}$$

饱和导通时的特点:

$$V_{BE} \approx 0.7V \quad V_{CE} = V_{CES} \approx 0.3V$$

此时发射结和集电结均为正向偏置; i_c 不再随 i_b 增加而增加,集-射极之间如同闭合了的开关。图 2.5(a)为三极管饱和导通时的直流等效电路。

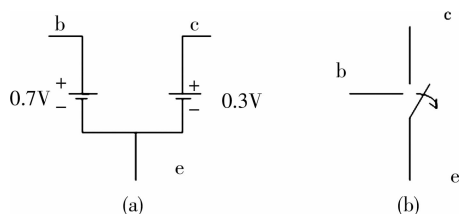


图 2.5 三极管开关的近似直流等效电路

(a) 饱和时直流等效电路;(b)截止时的直流等效电路

2. 截止条件及截止时的特点

截止条件: $V_{BE} < 0.5V$ 。(硅三极管发射结导通电压)

截止时的特点:发射结和集电结均为反向偏置, $I_c \approx 0$,集-射极之间如同断开了的开关。图 2.5(b)为三极管截止时的直流等效电路。

3. 开关时间

三极管的开关过程和二极管相似,也需要一定时间。当输入信号跳变时,三极管由截止到饱和导通所需要的时间,称为开启时间,用 t_{on} 表示;由饱和导通到截止所需要的时间,称为关断时间,用 t_{off} 表示。 t_{on} 、 t_{off} 一般都在纳秒(ns)数量级,而且 $t_{off} > t_{on}$ 。 t_{off} 与工作时三极管饱和导通的深度—— I_B/I_{BS} 有关,饱和程度越深, t_{off} 越长,反之则越短。所以,加快三极管开关的速度的一条重要措施,就是限制三极管工作时的饱和深度,即减小 I_B/I_{BS} 。

(三)MOS管的开关特性

在数字电路中,是把 MOS 管的漏极 D 和源极 S 作为开关的两端接在电路里,开关



的通、断受栅极 G 的电压控制, MOS 管也有三个工作区:截止区、非饱和区(也称电阻区)、饱和区(也称恒流区)。MOS 管作开关使用时,通常是工作在截止区和非饱和区。在数字电路中,用得最多的是 N 沟道增强型 MOS 管和 P 沟道增强型 MOS 管,它们是构成 CMOS 数字集成电路的基本开关元件。由于 P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管在结构上是对称的,两者工作原理和特点也无本质区别,只是在 PMOS 管中,栅源电压 V_{GS} 、漏源电压 V_{DS} 、开启电压 V_{TP} 均为负值。下面以 N 沟道增强型 MOS 管为例,说明 MOS 管的开关特性及工作特点。

图 2.6 为由 NMOS 管组成的开关电路。

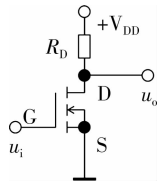


图 2.6 NMOS 管开关电路

1. 导通条件和导通时的特点

导通条件: $V_{GS} > V_{TN}$ 。

当栅源电压 V_{GS} 大于开启电压 V_{TN} 时, MOS 管导通。在数字电路中, MOS 管通时,一般都工作于非饱和区(必须 $V_{GS} > V_{TN} + V_{DS}$), 导通电阻 R_{DS} 都为几百欧姆。图 2.7(a) 为 NMOS 管导通时的等效电路, 由图可知道, 当 MOS 管工作在导通区时, 如 $R_{DS} \ll R_D$, 则 $V_{DS} \approx 0$, 这就是开关导通时的特点。

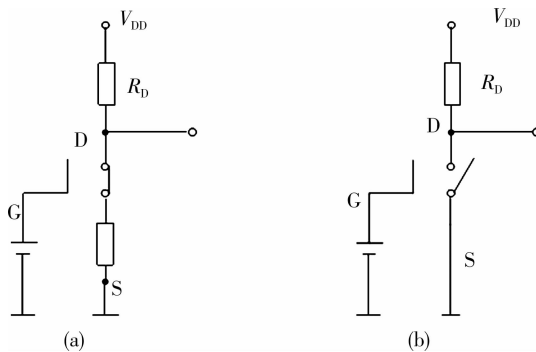


图 2.7 NMOS 管开关近似直流等效电路

(a) 导通状态; (b) 截止状态



2. 截止条件和截止时的特点

截止条件: $V_{GS} < V_{TN}$

当栅源电压 V_{GS} 小于开启电压 V_{TN} 时,漏-源之间没有形成导电沟道,呈高电阻状态,阻值一般为 $10^9 \sim 10^{10} \Omega$,MOS 管截止。该时的等效电路如图 2.7(b)所示。由图可知道,截止时 $I_{DS} \approx 0, V_{DS} \approx V_{DD}$,如同断开了的开关,这就是开关截止时的特点。

3. 开关时间

双极型三极管由于饱和时有超量存贮电荷存在,所以使其开关时间变长;而 MOS 管是单极型器件,它只有一种载流子参与导电,没有超量存贮电荷存在,也不存在存贮时间,因而 MOS 管本身固有的开关时间是很小的,它与由寄生电容造成的影响相比,完全可以忽略。布线电容和管子极间电容等寄生电容构成了 MOS 管的输入和输出电容,虽然这些电容很小,但是由于 MOS 管输入电阻很高,导通电阻达几百欧姆,负载的等效电阻也很大,因而输入、输出电路的充放电时间常数较大。因此 MOS 管开关电路的开关时间,主要取决于输入、输出电路的充放电时间。和半导体三极管开关相比,MOS 管开关的开关时间要长一些。

二、分立元件门电路

逻辑门电路的种类很多,最基本的有与门、或门和非门,它们分别是实现逻辑“乘”、逻辑“加”和逻辑“非”的电路,其它的门电路,例如与非门、或非门、与或非门等都是由这几种基本的门电路按不同方式组合而成的。早期,这些门电路都是用电阻、电容、二极管、三极管等一些分立元件组成。目前,随着半导体技术的高速发展,分立元件门电路已由集成电路所取代。为了便于集成门电路的理解,首先介绍分立元件门电路。

(一) 二极管门电路

1. 二极管与门

与门实现“与”逻辑运算,是一个多输入单输出的逻辑电路。用二极管和电阻组成的二输入端与门电路如图 2.8 所示,下面说明二极管与门电路的工作原理。

首先假定二极管导通时相当于短路(即不考虑二极管导通压降和导通电阻),二极管截止时相当于断路(忽略二极管反向电流的影响)。并规定:当输入或输出电平为 0V 时,作为逻辑 0(即低电平为逻辑 0);当输入或输出电平为 3V 时,为逻辑 1(即高电平为逻辑 1)。电路有 A、B 两个输入端,可有四种不同的输入取值,可分为



三种情况：

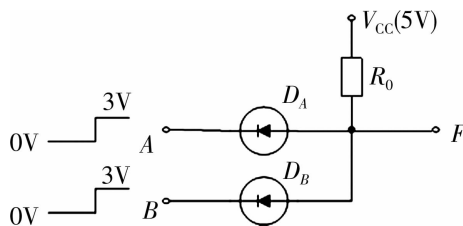


图 2.8 二极管与门

(1) $V_A = V_B = 0V$, 即两个输入端均为低电平, 此时二极管 D_A 和 D_B 均导通, $V_F = V_A = 0V$, 输出为低电平;

(2) $V_A = 0V, V_B = 3V$, 即两个输入端一个为低电平, 另一个为高电平。这时 D_A 抢先导通, 使 V_F 的电平被钳制在 $0V$, 由于 $V_B = 3V$, 所以 D_B 处于截止状态, 输出仍为低电平;

(3) $V_A = V_B = 3V$, 即两个输入端均为高电平。此时由于电源电压 V_{CC} 为 $5V$, 仍高于输入电压, D_A 和 D_B 均为正向偏置而导通, $V_F = V_A = 3V$, 输出为高电平。

上述分析情况列于表 2.1 中, 可以看出, 当输入端有一个或两个为低电平时, 输出端为低电平; 只有当输入端均为高电平时, 输出端才为高电平。这和与门的要求是一致的。另外, 若要组成多输入端 (输入端大于 2) 的与门, 只要通过增加输入二极管就能实现。

表 2.1 二极管与门功能

A	B	F
0V	0V	0.7V
0V	3V	0.7V
3V	0V	0.7V
3V	3V	3.7V

2. 二极管或门

图 2.9 是由二极管组成的二输入端或门, 比较一下图 2.8 和 2.9 可知, 后者二极管的极性和前者接得相反, 并采用了负电源。采用和二极管与门类似的分析方法, 容易得到表 2.2 的结果。由表示结果可知, 当输入端有一个或两个为高电平时, 输出为高电平;



只有当输入端均为低电平时,输出端才为低电平,这和或门的要求是一致的。

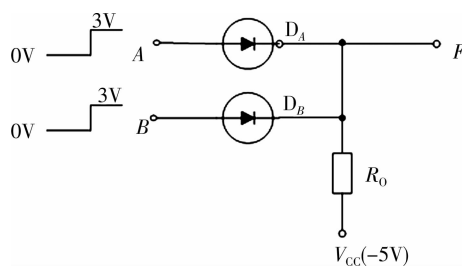


图 2.9 二极管或门

表 2.2 二极管或门功能

A	B	F
0V	0V	0V
0V	3V	2.3V
3V	0V	2.3V
3V	3V	2.3V

(二)三极管门电路

1. 非门

三极管非门如图 2.10 所示。非门又称反相器,图中采用了 NPN 三极管,加负电源 V_{BB} 是为了使三极管可靠截止。在下面分析中设三极管电流放大系数 $\beta=30$ 。

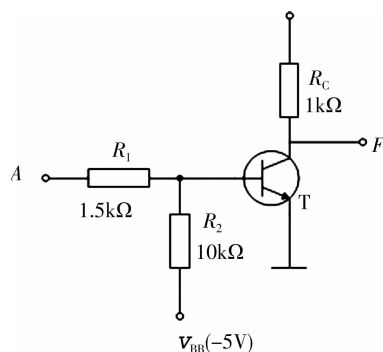


图 2.10 三极管非门



(1) $V_A = 0V$, 此时三极管基极电位 $V_B < 0V$, 满足截止条件 $V_{BE} < 0.5V$, 故三极管处于截止状态, 集电极电流 $I_C = 0$, $V_F = V_{CC} = 3V$, 即输出端处于高电平。

(2) $V_A = 3V$, 此时三极管处于饱和状态, 因为饱和时 $V_B = 0.7V$, 基极电流

$$I_B = \frac{V_A - V_B}{R_1} - \frac{V_B - V_{BB}}{R_2} = \frac{3 - 0.7}{1.5} - \frac{0.7 - (-5)}{10} = 0.96\text{mA}$$

而三极管饱和时所需要的最小基极电流

$$I_{BS} = \frac{I_{CS}}{\beta} = \frac{V_{CC} - V_{CES}}{\beta R_C} = \frac{3 - 0.3}{1 \times 30} = 0.09\text{mA}$$

因 $I_B > I_{BS}$, 故而证明了三极管确实为饱和状态, 则输出端电平 $V_F = V_{CES} \approx 0.3V$, 即处于低电平。

2. 与非门和或非门

将二极管与门和或门分别与三极管非门相连接, 便可构成与非门和或非门, 如图 2.11 所示, 图中(a)为与非门, (b)为或非门。图 2.11 所示的门电路是由二极管电路和三极管电路复合而成的, 这样组成的电路称为二极管-三极管逻辑门, 简称 DTL 电路。

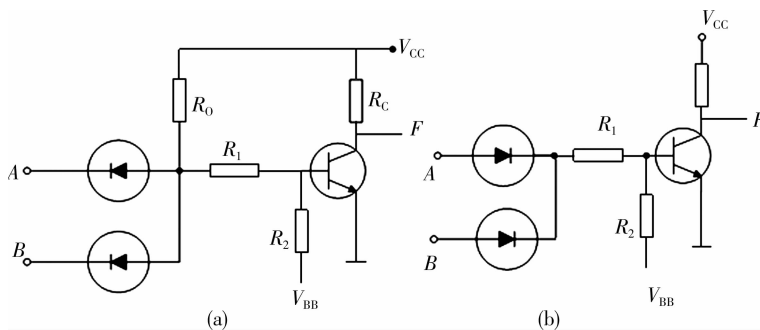


图 2.11 与非门和或非门

(a)与非门;(b)或非门

三、TTL 集成门电路

(一) TTL 与非门的工作原理

1. 电路组成

如图 2.12 所示, 电路是由输入级、中间级和输出级三部分组成的。

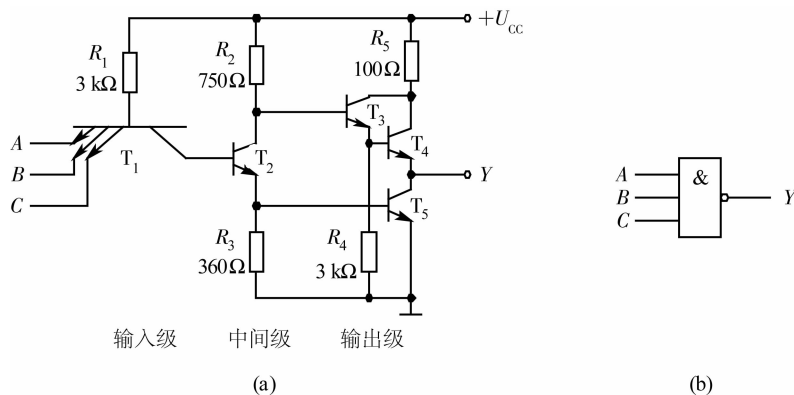


图 2.12 TTL 集成与非门电路图及逻辑符号

(a) 电路; (b) 符号

1) 输入级

输入级由多发射极管 T_1 和电阻 R_1 组成。其作用是对输入变量 A 、 B 、 C 实现逻辑与,从逻辑功能上看,图 2.13(a)所示的多发射极三极管可以等效为图 2.13(b)所示的形式。

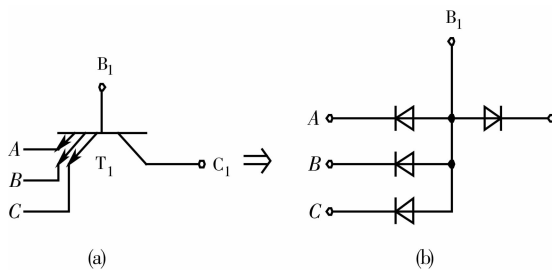


图 2.13 多发射极晶体管及其等效形式

(a) 多发射极晶体管; (b) 等效形式

2) 中间级

中间级由 T_2 、 R_2 和 R_3 组成。 T_2 的集电极和发射极输出两个相位相反的信号,作为 T_3 和 T_5 的驱动信号。

3) 输出级

输出级由 T_3 、 T_4 、 T_5 和 R_4 、 R_5 组成,这种电路形式称为推挽式电路。



2. 工作原理

(1) 输入全部为高电平。当输入 A, B, C 均为高电平, 即 $U_{IH} = 3.6\text{V}$ 时, T_1 的基极电位足以使 T_1 的集电结和 T_2, T_5 的发射结导通。而 T_2 的集电极压降可以使 T_3 导通, 但它不能使 T_4 导通。 T_5 由 T_2 提供足够的基极电流而处于饱和状态。因此输出为低电平:

$$U_O = U_{OL} = U_{CE5} \approx 0.3\text{V}$$

(2) 输入至少有一个为低电平。当输入至少有一个 (A 端) 为低电平, 即 $U_{IL} = 0.3\text{V}$ 时, T_1 与 A 端连接的发射结正向导通, 从图 2.13(b) 中可知, T_1 集电极电位 U_{C1} 使 T_2, T_5 均截止, 而 T_2 的集电极电压足以使 T_3, T_4 导通。因此输出为高电平:

$$U_O = U_{OH} \approx U_{CC} - U_{BE3} - U_{BE4} = 5 - 0.7 - 0.7 = 3.6\text{V}$$

综上所述, 当输入全为高电平时, 输出为低电平, 这时 T_5 饱和, 电路处于开门状态; 当输入端至少有一个为低电平时, 输出为高电平, 这时 T_5 截止, 电路处于关门状态。即输入全为 1 时, 输出为 0; 输入有 0 时, 输出为 1。由此可见, 电路的输出与输入之间满足与非逻辑关系, 即 $Y = \overline{A \cdot B \cdot C}$ 。

(二) TTL 与非门的外特性与参数

1. 电压传输特性

TTL 与非门电压传输特性是表示输出电压 U_O 随输入电压 U_I 变化的一条曲线, 电压传输特性曲线大致分为四段, 如图 2.14 所示。

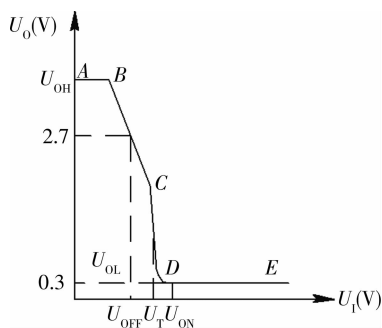


图 2.14 TTL 与非门电压传输特性

(1) AB 段。输入电压 $U_I \leq 0.6\text{V}$ 时, T_1 工作在深度饱和状态, $U_{CE5} < 0.1\text{V}$, $U_{B2} < 0.7\text{V}$, 故 T_2, T_5 截止, T_3, T_4 导通, $U_O \approx 3.6\text{V}$ 为高电平。与非门处于截止状态, 所以把 AB 段称截止区。

(2) BC 段。输入电压 $0.6\text{V} < U_I < 1.3\text{V}$ 时, $0.7\text{V} \leq U_{B2} < 1.4\text{V}$, T_2 开始导通, T_5 仍



未导通, T_3 、 T_4 处于射极输出状态。随 U_1 的增加, U_{B2} 增加, U_{C2} 下降, 并通过 T_3 、 T_4 使 U_O 也下降。因为 U_O 基本上随 U_1 的增加而线性减小, 故把 BC 段称线性区。

(3) CD 段。输入电压 $1.3V < U_1 < 1.4V$ 时, T_5 开始导通, 并随 U_1 的增加趋于饱和。使输出 U_O 为低电平。所以把 CD 段称转折区或过渡区。

(4) DE 段。当 $U_1 \geq 1.4V$ 时, T_2 、 T_5 饱和, T_4 截止, 输出为低电平。与非门处于饱和状态。所以把 DE 段称饱和区。

2. 主要参数

(1) 输出高电平 U_{OH} 和输出低电平 U_{OL} 。电压传输特性曲线截止区的输出电压为 U_{OH} , 饱和区的输出电压为 U_{OL} 。一般产品规定 $U_{OH} \geq 2.4V$, $U_{OL} < 0.4V$ 。

(2) 阈值电压 U_{th} 。电压传输特性曲线转折区中点所对应的输入电压为 U_{th} , 也称门槛电压。一般 TTL 与非门的 $U_{th} \approx 1.4V$ 。

(3) 关门电平 U_{OFF} 和开门电平 U_{ON} 。保证输出电平为额定高电平(2.7V 左右)时, 允许输入低电平的最大值, 称为关门电平 U_{OFF} 。通常 $U_{OFF} \approx 1V$, 一般产品要求 $U_{OFF} \geq 0.8V$ 。保证输出电平达到额定低电平(0.3V)时, 允许输入高电平的最小值, 称为开门电平 U_{ON} 。通常 $U_{ON} \approx 1.4V$, 一般产品要求 $U_{ON} \leq 1.8V$ 。

(4) 噪声容限 U_{NL} 、 U_{NH} 。在实际应用中, 由于外界干扰、电源波动等原因, 可能使输入电平 U_1 偏离规定值。为了保证电路可靠工作, 应对干扰的幅度有一定限制, 称为噪声容限。它是用来说明门电路抗干扰能力的参数。

低电平噪声容限是指在保证输出为高电平的前提下, 允许叠加在输入低电平 U_{IL} 上的最大正向干扰(或噪声)电压。用 U_{NL} 表示: $U_{NL} = U_{OFF} - U_{IL}$ 。

高电平噪声容限是指在保证输出为低电平的前提下, 允许叠加在输入高电平 U_{IH} 上的最大负向干扰(或噪声)电压。用 U_{NH} 表示: $U_{NH} = U_{IH} - U_{ON}$ 。

(5) 输入短路电流 I_{IS} 。当 $U_1 = 0$ 时, 流经这个输入端的电流称为输入短路电流 I_{IS} 。在如图 2.12(a) 所示电路中, $I_{IS} = -\frac{U_{CC} - U_{BE1}}{R_1} = -\frac{5 - 0.7}{3} \approx -1.4mA$, 输入短路电流的典型值约为 $-1.5mA$ 。

(6) 输入漏电流 I_{IH} 。当 $U_1 > U_{th}$ 时, 流经输入端的电流称为输入漏电流 I_{IH} , 即 T_1 倒置工作时的反向漏电流。其值很小, 约为 $10\mu A$ 。

(7) 扇出系数 N 。扇出系数是以同一型号的与非门作为负载时, 一个与非门能够驱动同类与非门的最大数目, 通常 $N \geq 8$ 。

(8) 平均延迟时间 t_{pd} 。平均延迟时间指输出信号滞后于输入信号的时间, 它是表示



开关速度的参数,从输入波形上升沿的中点到输出波形下降沿中点之间的时间称为导通延迟时间 t_{PHL} ;从输入波形下降沿的中点到输出波形上升沿的中点之间的时间称为截止延迟时间 t_{PLH} ,所以 TTL 与非门平均延迟时间为 $t_{\text{pd}} = 1/2 (t_{\text{PHL}} + t_{\text{PLH}})$ 。一般,TTL 与非门 t_{pd} 为 3~40ns。

(三)TTL 与非门产品介绍

部分常用中小规模 TTL 门电路的型号及功能如表 2.2 所示。

表 2.3 常用 TTL 门电路型号

型 号	逻 辑 功 能
74LJ500	四—2 输入与非门
74LS10	三—3 输入与非门
74LS20	二—4 输入与非门
74LS30	8 输入与非门

(四)TTL 与非门的改进电路

改进型 TTL 与非门,如图 2.15 所示。

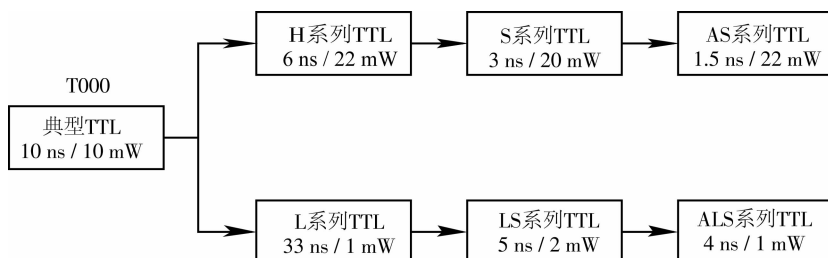


图 2.15 各种系列的 TTL 门电路

LS 系列 TTL 门 $t_{\text{pd}} < 5\text{ns}$,而功耗 2mW,因而得到广泛应用。

我国 TTL 集成电路目前有 CT54/74(普通)、T54/74H(高速)、CT54/74S(肖特基)和 CT54/74LS(低功耗)等四个系列国家标准的集成门电路。它们的主要性能指标如表 2.4 所示。在 TTL 门电路中,无论是哪一种系列,只要器件品名相同,那么器件功能就相同,只是性能不同。



表 2.4 TTL 各系列集成门电路主要性能指标

参差名称 \ 电路型号	CT74 系列	CT74H 系列	CT745 系列	CT74LS 系列
电源电压/V	5	5	5	5
$U_{OH(MIN)}/V$	2.4	2.4	2.5	2.5
$U_{OL(MAX)}/V$	0.4	0.4	0.5	0.5
逻辑摆幅/V	3.3	3.3	3.4	3.4
每门功耗/mW	10	22	19	2
每门传输延时/ns	10	6	3	9.5
最高工作频率/MHz	35	50	125	45
扇出系数/门	10	10	10	20
抗干扰能力	一般	一般	好	好

(五) TTL 门电路的其他类型

为了便于实现各种不同的逻辑函数,在 TTL 门电路的定型产品中,除了与非门以外,还有或非门、与或非门、与门、或门及异或门等。它们都是在与非门电路的基础上演变而来的。虽然它们逻辑功能各异,但输入、输出结构均与 TTL 与非门相同,因此前面介绍的输入输出特性对这些门同样适用。下面仅介绍几种具有不同输入、输出结构的门电路。

1. 集电极开路门(OC 门)

集电极开路(Open Collector)门(简称 OC 门),是指这种门的输出级为集电极开路结构。OC 门可以是与非门,也可以是与门、或门等完成各种逻辑功能的门。现仍以与非门为例来说明。

OC 门,其电路及符号如图 2.16 所示。 T_5 的集电极是断开的,必须经外接电阻 R_L ,接通电源后,电路才能实现与非逻辑及线与功能。图 2.16 为集电极开路与非门的标准型电路及其逻辑符号,它与普通与非门电路的差别仅在 T_5 管的集电极是开路的,内部并没有集电极负载,使用时必须在电源和输出端之间外接个适当的上拉负载电阻 R_L ,电路才能实现与非逻辑功能,即 $F = \overline{AB}$ 。

由图 2.16 可见,OC 门的符号就是在输出端内侧标注 \diamond 记号,表示集电极开路,其



中◇形表示开路,下横线意味着输出低电平时呈低阻状态。

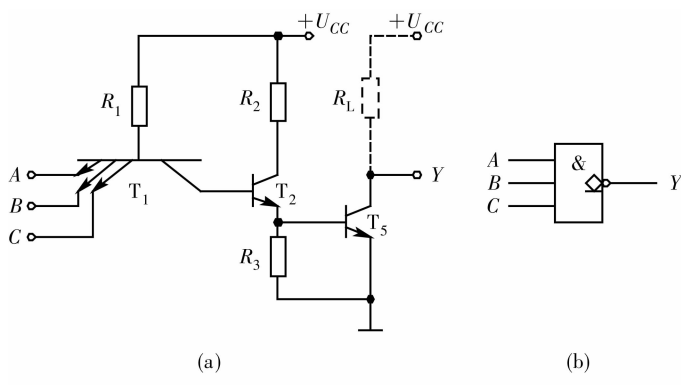


图 2.16 OC 门电路

(a)OC 门电路;(b)OC 门符号

OC 门比普通 TTL 门使用灵活,利用它可以实现线与逻辑、电平转换或驱动器等功能,分别说明如下:

1) 实现线与逻辑

在实际使用中,可直接将几个逻辑门的输出端相连,这种输出直接相连,实现输出与功能的方式称为线与。

图 2.17 所示为实现线与功能的电路。即 $Y = Y_1 \cdot Y_2$ 。

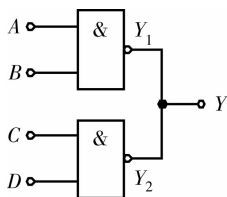


图 2.17 与非门的线与连接

但是普通 TTL 与非门的输出端是不允许直接相连的,因为当一个门的输出为高电平(Y_1),另一个为低电平(Y_2)时,将有一个很大的电流从 U_{CC} 经 Y_1 到 Y_2 ,到导通门的 T_5 管,如图 2.18 所示。假设 T_2 门原本输出为低电平, T_4 门原本输出为高电平,所以连接后输出回路的电流 I_0 其流向如图所示。由于对推拉输出结构而言,不管输出为高电平还是低电平,输出阻抗都很小,故在电源 V_{CC} 和地之间形成了一个低阻通路, I_0 将会很大。这个大电流不仅会使 T_2 门的输出电平抬高,以致造成逻辑紊乱,而且可能因为功



耗过大使逻辑门损坏,这种情况,尤其在有多门并联,而只有一个门输出为低电平,其余均为高电平输出时更为严重。因此,这种推拉输出结构的 TTL 电路,是严禁将其输出端并联使用的。

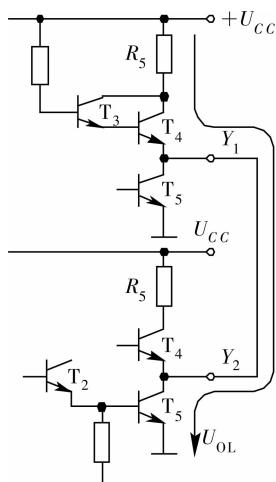


图 2.18 TTL 与非门直接线与的情况

几个 OC 门的输出端是可以并接在一起的,并经过上拉负载电阻 R_L 接到电源 V_{CC} 上。图 2.19 为三个 OC 与非门输出端并接的情况。

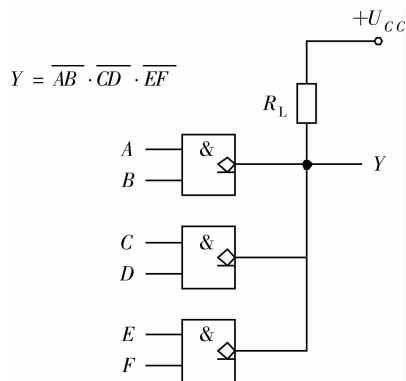


图 2.19 OC 门线与逻辑

图 2.19 是实现线与与逻辑的 OC 门,其逻辑表达式为:

$$Y = \overline{AB} \cdot \overline{CD} \cdot \overline{EF}$$

可以看出,只有两个门的输出均为高电平时,总的输出才是高电平;只要有一个门的输出为低电平,总的输出即为低电平。因此,总的输出和各门输出之间是与逻辑关系,即



$$Y = \overline{AB} \cdot \overline{CD} \cdot \overline{EF}$$

需要注意的是,这种与逻辑关系并不是用另一个与门获得的,而是在输出线上得到的,故称为“线与”逻辑。线与连接有时能扩展门的逻辑功能,仍以图 2.19 为例,根据

$$Y = \overline{AB} \cdot \overline{CD} \cdot \overline{EF} = \overline{AB+CD+EF}$$

即利用三个 OC 与非门线与连接,能实现与或非门的功能。

用 OC 门实现与逻辑时,外接上拉电阻 R_L 的选取是十分重要的,它既要保证输出高、低电平在规定的电平范围内,即 $V_O > V_{OHmin}$, $V_{OL} < V_{OLmax}$,又要确保输出管 T5 不因电流过大而损坏。下面简要说明 R_L 的算法。

假设有 n 个 OC 门接成线与的形式,其输出负载为 m 个 TTL 与非门,如图 2.20 所示。

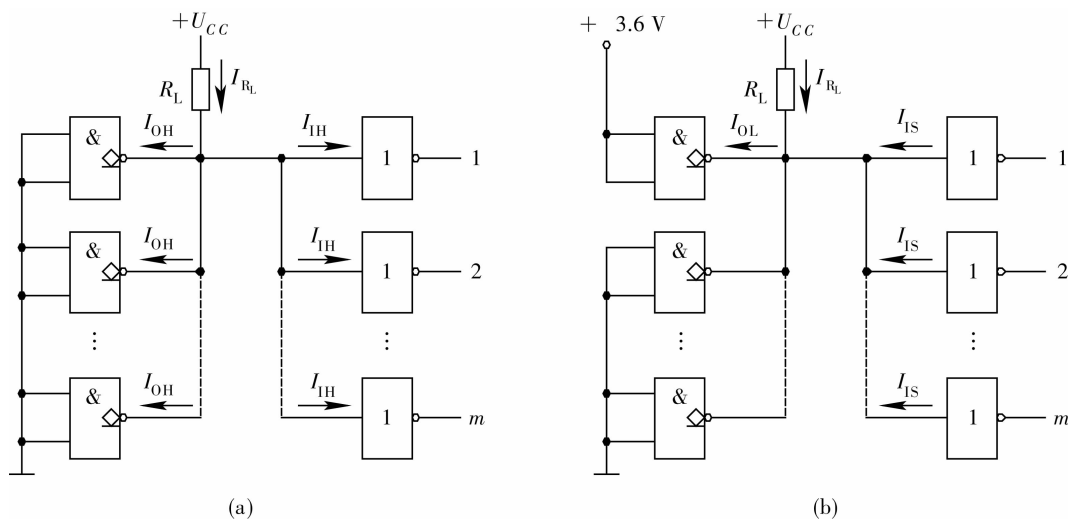


图 2.20 R_L 的选取

当所有 OC 门都为截止状态时,输出电压 U_O 为高电平,为保证输出的高电平不低于规定值, R_L 不能太大。根据图 2.20(a)所示的情况, R_L 的最大值为:

$$R_{Lmax} = \frac{U_{CC} - U_{OHmin}}{nI_{OH} + mI_{IH}}$$

式中, n 为 OC 门并联的个数, m 为并联负载门的个数, I_{OH} 为 OC 门输出管截止时的漏电流, I_{IH} 为负载门输入端为高电平时的输入漏电流。

$$R_{Lmin} = \frac{U_{CC} - U_{OLmax}}{I_{Lmax} + mI_{IS}}$$

式中, I_{Lmax} 是导通 OC 门所允许的最大漏电流, I_{IS} 为负载门的输入短路电流。



综合以上两种情况, R_L 的选取应满足: $R_{Lmin} < R_L < R_{Lmax}$, 为了减少负载电流的影响, R_L 值应选接近 R_{Lmin} 的值。

2) 作电平转换器

在数字电路的接口部分(与外部设备相连接的地方), 有时需要进行电平转换, 可用 OC 门来实现。如图 2.21 所示, 为了把输出高电平变换为 10V, 只要将上拉电阻 R_L 接到 10V 电源即可。这样, OC 门输入电平仍与一般与非门一致, 而输出高电平变换为 10V。

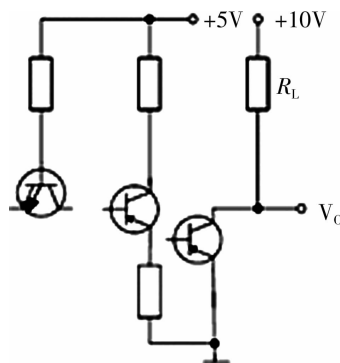


图 2.21 OC 门作电平转换器

3) 作驱动器

由于 OC 门能输出较高的电压和较大电流, 因此可以作为驱动器直接驱动发光二极管、干簧继电器及脉冲变压器等器件, 如图 2.22 所示。

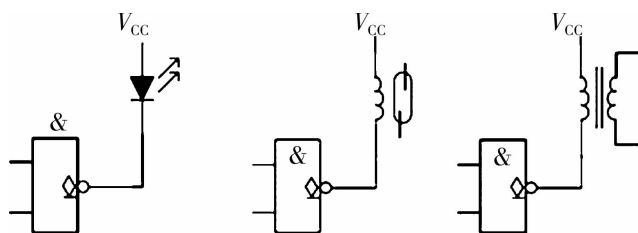


图 2.22 OC 门作驱动器

OC 门由于其负载电容的充电, 要经过 R_L , 使得输出电压的边沿变化较慢, 限制了工作速度, 这是 OC 门的缺点。

2. 三态门(TSL 门)

三态门, 是指逻辑门的输出除有高、低电平两种状态外, 还有第三种状态——高



阻状态(或称禁止状态)的门电路,简称 *TSL*(*Tristate Logic*)门。电路如图 2.23(a)所示。

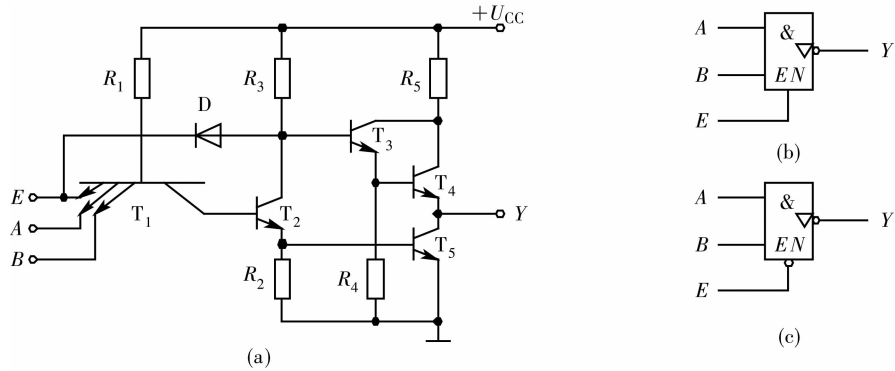


图 2.23 三态门电路、符号 *E* 为控制端或称使能端

当 $E=1$ 时,二极管 *D* 截止,*TSL* 门与 *TTL* 门功能一样: $Y=\overline{A \cdot B}$ 。

当 $E=0$ 时, T_1 处于正向工作状态,促使 T_2 、 T_5 截止,同时,通过二极管 *D* 使 T_3 基极电位钳制在 1V 左右,致使 T_4 也截止。这样 T_4 、 T_5 都截止,输出端呈现高阻状态。

TSL 门中控制端 *E* 除高电平有效外,还有为低电平有效的,这时的电路符号如图 2.23(c)所示。

三态门的主要用途是实现多个数据或控制信号的总线传输,如图 2.24 所示。

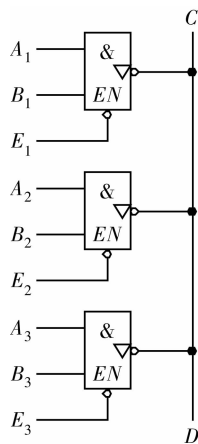


图 2.24 三态门的应用举例



通常规定,同一瞬间只允许一个三态门正常输出逻辑信号,而其它门输出应处在高阻状态。这样,当 EN_2 和 EN_3 为 0 时,信号 A_1 的非送到了总线上。类似地,只要通过对各门的 EN 端加不同的控制信号,就能按要求使总线传送不同的输入信号(A_1 、 A_2 或 A_3 的非)。这种用总线来传送数据或信号的方法,在计算机中被广泛应用。

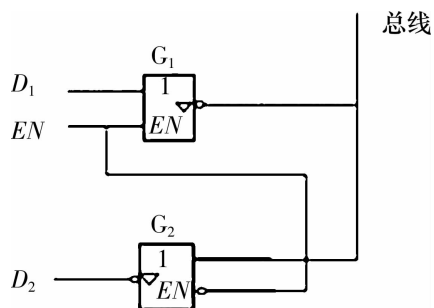


图 2.25 三态门接成双向总线

图 2.25 所示电路为三态门构成的双向总线结构。

从图中可知,当 $EN=1$ 时, G_1 门工作, G_2 门为高阻状态,信号 D_1 的非送到总线上去;当 $EN=0$ 时, G_2 门工作, G_1 门为高阻状态,总线上信号的非送到 D_2 。这样就实现了信号的分时双向传送。

需要指出:三态门的输出可以并接,形成总线,但它与 OC 门并接获得线与逻辑是不同的,因这里总线输出是按序进行的。换句话说,三态门的使能信号需要编程,保证不会有两个或两个以上的三态门同时输出信号。另外,由于三态门不需外接负载电阻,工作速度快,所以可以将多个三态门输出端并接。

(六) TTL 集成门电路使用注意事项

在使用 TTL 集成门电路时,应注意以下事项:

- (1) 电源电压(U_{CC})应满足在标准值 $5V+10\%$ 的范围内。
- (2) TTL 电路的输出端所接负载,不能超过规定的扇出系数。
- (3) 注意 TTL 门多余输入端的处理方法。

①与非门:与非门多余输入端的三种处理方法如图 2.26 所示。

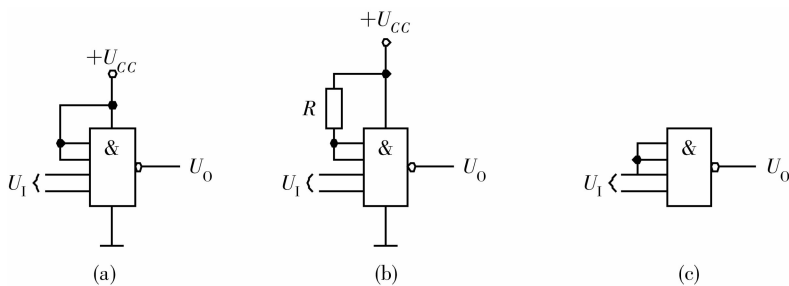


图 2.26 与非门多余输入端的处理方法

(a)接电源;(b)通过R接电源;(c)与使用输入端并联

②或非门:或非门多余输入端的三种处理方法如图 2.27 所示。

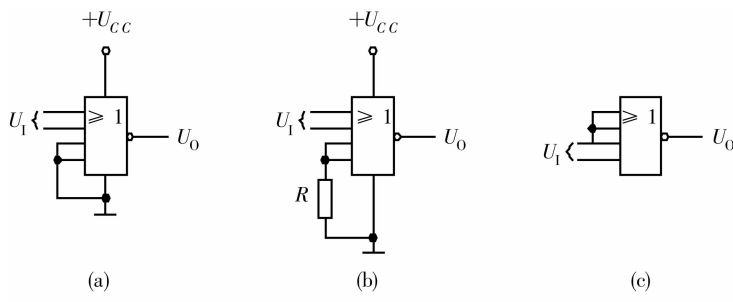


图 2.27 或非门多余输入端的处理方法

(a)接地;(b)通过R接地;(c)与使用输入端并联

思考题

1. TTL 与非门多余输入端应如何处理? 或门、或非门、与或非门多余输入端应如何处理?
2. 什么是“线与”? 普通 TTL 门电路为什么不能进行“线与”?
3. 三态门输出有哪三种状态? 为保证接至同一母线上的许多三态门电路能够正常工作的必要条件是什么?